

Titel: Rekonfigurierbare Sequenzerstruktur

Beschreibung

5

Die vorliegende Erfindung betrifft ein Zellelementefeld und ein Verfahren zum Betrieb desselben. Damit befaßt sich die vorliegende Erfindung insbesondere mit rekonfigurierbaren Datenverarbeitungsarchitekturen.

Unter einer rekonfigurierbaren Architektur werden u. a. Bausteine (VPU) verstanden, die eine Vielzahl in Funktion und/oder Vernetzung im Betrieb veränderliche Elemente aufweisen. Zu den Elementen können arithmetische Logikeinheiten, FPGA-Bereiche, Ein-Ausgabezellen, Speicherzellen, analoge Baugruppen usw. gehören. Bausteine dieser Art sind beispielsweise unter der Bezeichnung VPU bekannt. Diese umfaßt typisch als PAEs bezeichnete ein- oder mehrdimensional angeordnete arithmetische und/oder logische und/oder analoge und/oder speichernde und/oder vernetzende Baugruppen und/oder kommunikative periphere Baugruppen (IO), die direkt oder durch einen oder mehrere Bussysteme miteinander verbunden sind. Die PAEs sind in beliebiger Ausgestaltung, Mischung und Hierarchie angeordnet, wobei die Anordnung als PAE-Array oder kurz PA bezeichnet wird. Es kann dem PAE-Array eine konfigurierende Einheit zugeordnet sein. Prinzipiell sind neben VPU-Bausteinen auch systolische Arrays, neuronale Netze, Mehrprozessorsysteme, Prozessoren mit mehreren Rechenwerken und/oder logischen Zellen, Vernetzungs- und Netzwerkbausteine wie Crossbar-Schaltung usw. bekannt, genauso wie FPGAs, DPGAs, Transputer usw.

Es wird darauf hingewiesen, dass wesentliche Aspekte der VPU-Technik z. B. in den folgenden Schutzrechten desselben Anmelders sowie den zugehörigen Nachanmeldungen zu den aufgeführten Schutzrechten beschrieben sind:

5

P 44 16 881.0-53, DE 197 81 412.3, DE 197 81 483.2,  
DE 196 54 846.2-53, DE 196 54 593.5-53, DE 197 04 044.6-53,  
DE 198 80 129.7, DE 198 61 088.2-53, DE 199 80 312.9,  
PCT/DE 00/01869, DE 100 36 627.9-33, DE 100 28 397.7,  
10 DE 101 10 530.4, DE 101 11 014.6, PCT/EP 00/10516,  
EP 01 102 674.7, DE 102 06 856.9, 60/317,876,  
DE 102 02 044.2, DE 101 29 237.6-53, DE 101 39 170.6.

Es sei darauf hingewiesen, dass die vorgenannten Dokumente zu  
15 Offenbarungszwecken insbesondere hinsichtlich Besonderheiten  
und Details der Vernetzung, Konfiguration, Ausgestaltung von  
Architekturelementen, Triggerverfahren usw. eingegliedert  
sind.

20 Die Architektur hat beachtliche Vorteile gegenüber herkömmlichen  
Prozessorarchitekturen, soweit damit Datenverarbeitung  
in einer Art und Weise erfolgt, die hohe Anteile an parallelen  
und/oder vektoriellen Datenverarbeitungsschritten besitzt. Die  
Vorteile der Architektur gegenüber anderen Prozessor-, Coprozessor-  
25 oder generell Datenverarbeitungseinheiten werden jedoch geringer,  
wenn sich die Vorteile der Vernetzung und der gegebenen prozessorarchitektonischen  
Besonderheiten nicht mehr in vollem Umfange realisieren lassen.

30 Dies ist besonders dann der Fall, wenn Datenverarbeitungsschritte  
abzuarbeiten sind, die herkömmlich am besten auf Sequenzer-Strukturen  
abgebildet werden können. Es ist wün-

schenswert, die rekonfigurierbare Architektur derart auszugestalten und zu verwenden, dass auch typisch mit Sequenzern besonders gut abzuarbeitende Datenverarbeitungsschritte besonders schnell und effizient abgearbeitet werden können.

5

Die Aufgabe der vorliegenden Erfindung besteht darin, Neues für die gewerbliche Anwendung bereitzustellen.

Die Lösung dieser Aufgabe wird unabhängig beansprucht. Bevorzugte Ausführungsformen finden sich in den Unteransprüchen.

10

Gemäß einem ersten wesentlichen Aspekt der Erfindung wird somit bei einem in Funktion und/oder Vernetzung insbesondere zur Laufzeit ohne Störung nicht rekonfigurierter Elemente rekonfigurierbaren Zellelementefeld zur Datenverarbeitung mit insbesondere grobgranularen Funktionszellmitteln zur Ausführung algebraischer und/oder logischer Funktionen und Speicherzellmitteln, um Information zu empfangen, abzuspeichern und/oder auszugeben, vorgeschlagen, dass Funktionszellen-Speicherzellenkombinationen gebildet sind, bei denen von den Funktionszellmitteln eine Steuerverbindung zu den Speicherzellmitteln geführt ist. Diese Steuerverbindung dient dazu, die Adress- und/oder Datenein-/ausgabe aus dem Speicher durch die zugeordnete Funktionszelle, typisch einer ALU-PAE, steuerbar zu machen. So kann etwa angegeben werden, ob die nächste übertragene Information als Adresse oder als Daten behandelt werden soll und ob ein Lese- und/oder Schreibzugriff erforderlich ist. Diese Übertragung von Daten aus der Speicherzelle beziehungsweise den Speicherzellmitteln, bei der es sich etwa um eine RAM-PAE handeln kann, auf die Funktionszellmittel, bei denen es sich etwa um eine ALU-PAE handeln kann, erlauben dann, dass neue, von der ALU abzuarbeitende

15

20

25

30

Befehle in diese geladen werden können. Es sei darauf hingewiesen, dass Funktionszellmittel und Speicherzellmittel durch Integration in eine strukturelle Einheit zusammengefasst werden können. In einem solchen Fall ist es möglich, einen einzigen Busanschluss zu verwenden, um Daten in die Speicherzellmittel und/oder die ALU einzuführen. Es können dann geeignete Eingangsregister und/oder Ausgangsregister vorgesehen sein und, falls gewünscht, hiervon verschiedene zusätzliche Daten- und/oder Konfigurationsregister als Speicherzellmittel.

Es sei auch erwähnt, dass es möglich ist, ein Zellelementfeld aufzubauen, das eine Vielzahl unterschiedlicher Zellen bzw. Zellengruppen enthält, wobei bevorzugt mit den unterschiedlichen Zellen Streifen oder dergleichen reguläre Muster vorgesehen werden, da diese sehr reguläre Anordnung ermöglicht, den hardwaretechnischen Aufbau und den Betrieb gleichermaßen zu erleichtern. Bei einem solchen streifenartigen oder anderen regulären Aufbau aus einer geringen Mehrzahl an unterschiedlichen Zellelementen können beispielsweise Elemente mit integrierten Funktionszellmittel-Speicherzellmittelkombinationen, das heisst Zellen, in denen Funktionszell- und Speicherzellmittel gemäß der Erfindung integriert sind, zentral im Feld vorgesehen werden, wo typisch nur wenige unterschiedliche Programmschritte innerhalb einer Sequenzerstruktur abzuarbeiten sind, weil dies, wie erkannt wurde, für herkömmliche Datenstromanwendungen sehr gute Ergebnisse gibt, während an den Feldrändern komplexere Sequenzerstrukturen aufgebaut werden können, bei denen etwa eine ALU-PAE, die eine separate Einheit darstellt, neben einer separaten RAM-PAE und gegebenenfalls einer Reihe I/O-PAEs unter Verwendung bzw. Anordnung entsprechender Steuerleitungen oder Verbindungen

derselben angeordnet werden können, weil dort oftmals mehr Speicher benötigt wird, etwa um im Feldzentralbereich des Zellelementefeldes erzeugte Ergebnisse zwischenzuspeichern und/oder für das Datenströmen durch dieses benötigte Daten vorabzulegen und/oder entsprechend aufzubereiten.

Wenn, etwa in der Feldmitte, Zellen vorgesehen werden, die Speicherzellmittel und Funktionszellmittel integrieren, so kann in diesen ein kleiner Speicher für verschiedene, von den Funktionszellmittel wie der ALU auszuführende Befehle vorgesehen sein. Es ist hier insbesondere möglich, den Befehls- beziehungsweise Konfigurationsspeicher zu trennen von einem Datenspeicher, und es ist möglich, den Funktionsspeicher so groß auszubilden, dass alternativ eine von mehreren, beispielsweise zwei, unterschiedlichen Sequenzen abgearbeitet werden kann. Die jeweils abzuarbeitende Sequenz kann im Ansprechen auf in der Zelle generierte Ergebnisse und/oder in die Zelle von außen eingehende Steuersignale, wie Carry, Overflow- usw. Triggersignale erfolgen. Auf diese Weise wird diese Anordnung auch verwendbar für Verfahren der Wave-Rekonfiguration.

Es ist auf diese Weise möglich, lediglich durch Vorsehen einer dedizierten und dediziert funktionszellenkontrollierten Steuerverbindung zwischen Funktionszelle bzw. Funktionszellmittel und Speicherzelle bzw. Speicherzellmittel bereits mit nur zwei Elementen, die über geeignete Busse verbunden sind, eine Sequenzerstruktur in einem Zellelementefeld aufzubauen, ohne dass ansonsten weitere Maßnahmen und/oder bauliche Veränderungen erforderlich sind. In der Speicherzelle können Daten, Adressen, Programmschritte usw. in per se aus herkömmlichen Prozessoren bekannter Weise abgelegt werden. Weil beide

Elemente auch in anderer Weise bei entsprechender Konfiguration einsetzbar sind, ergibt sich eine besonders effiziente Bauweise, die sowohl Sequenzerstrukturen als auch vektoriellen und/oder parallelisierbaren Strukturen besonders gut anpaßbar ist. So können allein durch geeignete PAE-Ausgestaltungen Parallelisierungen unterstützt werden, etwa durch das Vorsehen von in zwei unterschiedliche räumliche Richtungen arbeitende PAEs und/oder durch mit Datendurchschleuseregistern versehene Zelleinheiten.

10

Es ist einsichtig, dass durch die Verwendung von lediglich zwei Zellen in einem Zellelementefeld, nämlich der Funktionszelle und der Informationsbereitstellungszelle eine Vielzahl von sequenzerartigen Strukturen in dem rekonfigurierbaren Zellelementefeld aufgebaut werden kann. Dies ist insofern vorteilhaft, als oftmals bei der Datenverarbeitung, etwa in einem multitaskingfähigen Betriebssystem, eine Reihe unterschiedlicher und voneinander per se verschiedener Aufgaben abgearbeitet werden muß. Es können dann eine Vielzahl derartiger Aufgaben in einem einzigen Zellelementefeld effektiv gleichzeitig abgearbeitet werden. Die Vorteile für Echtzeitanwendungen sind offensichtlich. Weiter ist es auch möglich, die einzelnen Sequenzerstrukturen, die in einem Zellelementefeld unter Vorsehung der erfindungsgemäßen Steuerverbindung aufgebaut werden, mit unterschiedlichen Taktraten zu betreiben, etwa um den Stromverbrauch dadurch zu senken, dass Aufgaben mit geringerer Priorität langsamer abgearbeitet werden. Es ist überdies möglich, bei der Ausführung per se weitgehend paralleler Algorithmen sequenzerartige Programmteile in dem Feld parallel oder vektoriell abzuarbeiten und umgekehrt.

30

Typisch wird jedoch bevorzugt sein, dass sequenzerartige Strukturen im Zellelementefeld, seien es sequenzerartige Strukturen mit in einem durch Verbindung mit Nachbarzellen oder Bussen verbundenen Bereich oder seien es Kombinationen aus räumlich unterscheidbaren, separaten und auch separat verwendbaren Funktionszellelementen, wie ALU-PAEs und Speicherzellelementen wie RAM-PAEs, höher getaktet werden. Dies hat den Vorteil, dass sequenzielle Programmteile, die sich allenfalls sehr schlecht parallelisieren lassen, in einer allgemeinen Datenflussverarbeitung einsetzen lassen, ohne dass die Gesamtdatenverarbeitung beeinträchtigt wird. Beispiele hierfür sind etwa gegeben durch eine HUFFMANN-Codierung, die wesentlich besser sequenziell als parallel abarbeitbar ist und die zugleich für Anwendungen wie die MPEG4-Codierung eine wichtige Rolle spielt, wobei aber die wesentlichen anderen Teile der MPEG4-Codierung gut parallelisierbar sind. Es wird dann eine parallele Datenverarbeitung für die meisten Teile eines Algorithmus verwendet und ein sequenzieller Abarbeitungsblock darin vorgesehen. Typisch wird eine Erhöhung der Taktfrequenz im Sequenzerbereich um einen Faktor 2 bis 4 schon ausreichend sein.

Es sei erwähnt, dass an Stelle einer streifenartigen Anordnung unterschiedlicher Zellelemente auch eine andere, insbesondere multidimensionale Gruppierung gewählt werden kann.

Das Zellelementefeld mit den in Funktion und/oder Vernetzung konfigurierbaren Zellen kann einsichtigerweise einen Prozessor, einen Coprozessor und/oder einen Mikrocontroller bilden, bzw. eine parallele Vielzahl oder Kombinationen derselben.

Die Funktionszellen sind typisch als arithmetische Logikeinheiten gebildet, wobei sie insbesondere grobgranulare Elemente darstellen, die aber z. B. mit einer feingranularen State-machine versehen sein können. In einem besonders bevorzugten Ausführungsbeispiel handelt es sich bei den ALUs um sogenannte erweiterte ALUs (EALU), wie diese in den früheren Anmeldungen des vorliegenden Anmelders beschrieben wurden. Eine Erweiterung kann insbesondere die Steuerleitungskontrolle, Befehlsdekodiereinheit etc. umfassen, soweit erforderlich.

10

Die Speicherzellen können Daten und/oder Informationen flüchtig und/oder nichtflüchtig speichern. Wenn in den Speicherzellen abgelegte Informationen, seien es Programmschritte, Adressen für einen Zugriff auf Daten oder registerartig bzw.

15 heap-artig abgelegte Daten als flüchtige Daten abgelegt sind, so kann eine vollständige Rekonfiguration während des Betriebes erfolgen. Alternativ ist es möglich, nichtflüchtige Speicherzellen vorzusehen. Die nichtflüchtigen Speicherzellen können etwa als EE-Prom-Bereich und dergleichen vorgesehen

20 werden, in die ein rudimentäres Bios-Programm abgelegt wird, das bei Inbetriebnahme der Anordnung auszuführen ist. Auf diese Weise kann ohne weitere Bauteile eine Inbetriebnahme einer Datenverarbeitungseinrichtung erfolgen. Ein nichtflüchtiger Datenspeicher kann auch dann vorgesehen werden, wenn

25 aus Kosten- und/der Raumgründen beschlossen wird, dass immer wieder dieselben Programmteile auszuführen sind, wobei auch unter solch festen Programmteilen, etwa nach Art der WAVE-Rekonfiguration, im Betrieb gewechselt werden kann. Die Möglichkeiten, derartige nichtflüchtige Speicher vorzusehen und zu verwenden, sind Gegenstand anderer Schutzrechte des Anmelders. Es ist möglich, sowohl flüchtige als auch nichtflüchtige Daten in den Speicherzellen abzuspeichern, etwa um



ein Bios-Programm fest abzulegen und die Speicherzelle dennoch für andere Zwecke nutzen zu können.

Die Speicherzelle ist bevorzugt so ausgebildet, dass sie eine  
5 hinreichende Vielzahl von zu verarbeitenden Daten und/oder  
abzuarbeitenden Programmteilen speichern kann. Es sei dabei  
darauf hingewiesen, dass diese Programmteile sowohl als Programmschritte ausgebildet sein können, die jeweils vorgeben,  
was eine einzelne, insbesondere die zugeordnete PAE, also  
10 insbesondere die die Speicherzelle steuernde Funktionszelle,  
im nächsten Schritt zu tun hat, als auch ganze Konfigurationen für Feldbereiche oder andere Felder beinhalten kann. In  
einem solchen Fall ist es ohne weiteres möglich, dass die  
aufgebaute Sequenzerstruktur einen Befehl ausgibt, auf Grund  
15 dessen eine Rekonfiguration von Zellelementefeldbereichen erfolgt. Damit arbeitet die diese Konfiguration auslösende  
Funktionszelle dann zugleich als Ladelogik. Es sei darauf  
hingewiesen, dass die Konfiguration von anderen Zellen wiederum dergestalt erfolgen kann, dass dort eine sequenzerartige  
20 Datenverarbeitung erfolgt und es ist in diesen Feldern  
wiederum möglich, andere Zellen im Verlauf der Programmarbeitung zu konfigurieren bzw. rekonfigurieren. Damit ergibt sich  
ein iteratives Konfigurieren von Zellelementebereichen und es  
ist ein Einschachteln von Programmen mit Sequenzer- und Parallel-Strukturen möglich, die ähnlich ineinander geschachtelt  
25 sind wie eine Babuschka. Es sei darauf hingewiesen, dass  
hier insbesondere durch Ein-Ausgabezellen ein Zugriff auf  
weitere Zellelementefelder außerhalb eines einzelnen integrierten Bausteines erfolgen kann, was die Gesamtrechenleistung  
30 massiv erhöhen kann. Es ist insbesondere möglich, bei  
Auftreten von Konfigurationen in einem Codeteil einer in ein  
Zellelementefeld hineinkonfigurierten Sequenzerstruktur gege-

benenfalls entweder die Konfigurationsanforderungen auf einem zugewiesenen Zellelementefeld, das von der jeweiligen Sequenzerstruktur allein verwaltet wird, durchzuführen und/oder es können derartige Anforderungen an eine Konfigurations-

5 Mastereinheit abgegeben werden, um sicherzustellen, dass eine gleichmäßige Belegung aller Zellelementefelder erfolgt. Es ergibt sich somit quasi ein Unterprogrammaufruf durch Übergabe von erforderlichen Konfigurationen an Zellen oder Ladelogiken. Dies wird für sich als schutzwürdig angesehen. Es sei

10 auch darauf hingewiesen, dass die Zellen, sofern sie selbst für die Konfiguration anderer Zellelementfeldbereiche Zuständigkeit besitzen, mit hard- oder softwareartig implementierten FIIMO-Strukturen und dergleichen zur Sicherstellung einer ordnungsgemäßen Rekonfiguration versehen sein können. Auf die

15 Möglichkeit, die Speicherzellen während der Abarbeitung von Befehlen derart zu beschreiben, dass sich der abzuarbeitende Code bzw. das abzuarbeitende Programm ändert, sei hingewiesen. In einer besonders bevorzugten Variante ist diese Art der Selbstmodifikation (SM) aber durch eine entsprechende

20 Steuerung über die Funktionszelle unterdrückt.

Es ist möglich, dass die Speicherzelle abgespeicherte Information auf die Ansteuerung der sie steuernden Funktionszelle hin direkt oder indirekt auf einen zur Funktionszelle führenden Bus gibt. Die indirekte Ausgabe kann insbesondere dann

25 erfolgen, wenn beide Zellen benachbart liegen und die durch Ansteuerung angeforderte Information an die ALU-PAE über ein Bussegment eintreffen muß, das nicht unmittelbar mit dem Ausgang der Speicherzelle verbunden werden kann. In einem solchen Fall kann die Speicherzelle Daten auf dieses Bussystem

30 insbesondere über Rückwärtsregister (Backward-Register) ausgeben. Es ist daher bevorzugt, wenn zumindest eine von Spei-

cherzelle und/oder Funktionszelle ein solches Backward-Register aufweist, welches im Informationsweg zwischen Speicherzelle und Funktionszelle angeordnet werden kann. Diese Register brauchen in einem solchen Fall nicht zwingend mit  
 5 weiteren Funktionalitäten versehen sein, obwohl dies etwa bei Anforderung von Daten aus der Speicherzelle für die weitere Verarbeitung, entsprechend einem herkömmlichen LOAD-Befehl eines typischen Mikroprozessors, zur Veränderung der Daten noch vor dem Hineinladen in die PAE ohne weiteres denkbar  
 10 ist, um z. B. einen Befehl LOAD++ zu realisieren. Die Datendurchleitung durch in umgekehrter Richtung arbeitende ALUs und dergleichen aufweisende PAEs sei erwähnt.

Die Speicherzelle wird bevorzugt dazu angeordnet sein, Informationen von der sie steuernden Funktionszelle zu empfangen,  
 15 wobei auch weiter ein Informationseinspeichern über eine Ein-Ausgabezelle und/oder eine die Speicherzelle nicht steuernde Zelle möglich ist. Insbesondere dann, wenn Daten von einer Ein-Ausgabezelle in die Speicherzelle geschrieben werden sollen,  
 20 ist es bevorzugt, wenn auch diese Ein-Ausgabezelle (I/O-PAE) von der Funktionszelle gesteuert wird. Dabei kann etwa die Adresse, bei welcher eine in die Speicherzelle zu schreibende oder gegebenenfalls auch direkt an die Funktionszelle (PAE) übertragene Information zu lesen ist, an die I/O-PAE  
 25 von der ALU-PAE übermittelt werden. Es sei in diesem Zusammenhang darauf hingewiesen, dass diese Adresse über eine Adreßübersetzungstabelle (Adresstranslationtable), einen Adresstranslationbuffer oder eine MMU-artige Struktur in der I/O-PAE festgelegt werden kann. Es ergeben sich in einem solchen Fall die vollen Funktionalitäten typischer Mikroprozessoren.  
 30 Dass sich auch eine I/O-Funktionalität mit einem Funktionszellmittel, einem Speicherzellmittel und/oder einer

Funktionszellmittel-Speicherzellmittel-Kombination integrieren lässt, sei erwähnt.

Der Kombination von Funktionszellen und Speicherzellen, sei  
5 es als integrierte Funktionszellen- und Speicherzellen-Kombination oder als aus separaten Einheiten aufgebaute Funktionszellen- und Speicherzellen-Kombination ist demnach in einer bevorzugten Variante zumindest ein Ein-Ausgabe-Mittel zugeordnet, mit welchem dann an eine externe Einheit, eine  
10 andere Funktionszelle, Funktionszellen-Speicherzellen-Kombination und/oder Speicherzellen Information gesandt und/oder von dieser empfangen werden kann.

Die Ein-Ausgabe-Einheit wird dabei bevorzugt gleichfalls zum  
15 Empfang von Steuerbefehlen aus der Funktionszelle bzw. vom Funktionszellmittel ausgebildet.

In einer bevorzugten Variante ist die Steuerverbindung dazu ausgebildet, zumindest einige und bevorzugt alle der nachfol-  
20 genden Befehle zu übertragen:

OPCODE FETCH,  
DATA WRITE INTERN,  
DATA WRITE EXTERN,  
25 DATA READ INTERN,  
DATA READ EXTERN,  
ADRESSPOINTER WRITE INTERN,  
ADRESSPOINTER WRITE EXTERN,  
ADRESSPOINTER READ INTERN,  
30 ADRESSPOINTER READ EXTERN,  
PROGRAMMPOINTER WRITE INTERN,  
PROGRAMMPOINTER WRITE EXTERN,

PROGRAMMPOINTER READ INTERN,  
PROGRAMMPOINTER READ EXTERN,  
STACKPOINTER WRITE INTERN,  
STACKPOINTER WRITE EXTERN,  
5 STACKPOINTER READ INTERN,  
STACKPOINTER READ EXTERN,  
PUSH,  
POP,  
PROGRAMMPOINTER INCREMENT.

10

Dies kann durch eine entsprechende Bitbreite der Steuerleitung und eine zugeordnete Decodierung bei den Empfängern erfolgen. Die jeweils erforderlichen Steuer- und Decodiermittel können problemfrei und kostengünstig vorgesehen werden. Wie  
15 ersichtlich, ergibt sich mit den Befehlen eine praktisch vollständige Sequenzerfähigkeit der Anordnung. Dass auf diese Weise eine Allgemeinzweckprozessordatenverarbeitungseinheit erhalten wird, sei erwähnt.

20 Die Anordnung wird typisch so gewählt sein, dass die Funktionszelle als alleiniger Master auf die Steuerverbindung und/oder ein als Steuerverbindung dienendes Bussegment bzw. Bussystem zugreifen kann. Es ergibt sich somit eine Anordnung, bei der die Steuerleitung als Command-Leitung wirkt,  
25 wie sie in herkömmlichen Prozessoren vorgesehen ist.

Die Funktionszelle und die Speicherzelle bzw. I/O-Zelle sind bevorzugt benachbart angeordnet. Unter benachbart kann dabei wie bevorzugt verstanden werden, dass die Zellen unmittelbar  
30 nebeneinander angeordnet sind. Unmittelbar bedeutet insbesondere eine Kombination solcher Zellen zu integrierten Einheiten, die wiederholt auf dem Zellelementefeld bzw. als Teil

desselben vorgesehen werden, um das Feld zu bilden. Es kann damit eine integrale Einheit aus Speicher- und Logikzellen gemeint sein. Alternativ befinden sie sich zumindest dicht beieinander. Die Anordnung der Funktions- und Speicherzellen in integrierter bzw. enger Nachbarschaft zueinander sorgt dafür, dass keine, jedenfalls keine signifikanten Latenzzeiten zwischen Ansteuerung und Dateneingang der angeforderten Information in der Funktionszelle auftreten, nur weil die Verbindungen zwischen den Zellen zu lang sind. Dies sei als „direkt“ verstanden. Müssen Latenzzeiten berücksichtigt werden, so kann auch ein Pipelining in den Sequenzerstrukturen vorgesehen werden. Dies wird besonders wichtig bei sehr hoch getakteten Anordnungen. Es sei darauf hingewiesen, dass es ohne weiteres möglich ist, entsprechend hochfrequent getaktete Zelleinheiten vorzusehen, die wie im Stand der Technik per se bekannt, auch entsprechend schnell auf geeignete Speicherzellen zugreifen können. Auch in einem solchen Fall, etwa wenn per se bekannte Architekturelemente für die Funktionszellen verwendet werden, wird gleichzeitig eine Rekonfigurierbarkeit des Funktionszellenelementes und der zugehörigen Vernetzungen vorzusehen sein. In einer besonders bevorzugten Variante sind die Funktionszellen, die Informationsbereitstellungszellen wie Speicherzellen, I/O-Zellen und dergleichen multidimensional angeordnet, insbesondere nach Art einer Matrix bzw. auf Gitterpunkten eines eindimensionalen Gitters usw. Wenn eine regelmäßige Struktur vorliegt, wie dies dort der Fall ist, wird einer Zelle typisch aus einer ersten Reihe Information, das heißt Operanden, Konfigurationen, Triggersignale usw. zugeführt, während in einer darunterliegende Reihe Daten, Triggersignale und andere Informationen abgegeben werden. In einem solchen Fall wird es bevorzugt sein, wenn die Zellen in ein und derselben Reihe liegen und es kann dann der Informa-

tionstransfer aus der Informationsbereitstellungszelle in den erforderlichen Eingang der Funktionszelle über ein Backward-Register erfolgen. Die Möglichkeit, die Register für Pipelining zu benutzen, sei erwähnt.

5

Es wird weiter Schutz beansprucht für ein Verfahren zum Betrieb eines Zellelementefeldes, insbesondere multidimensionalen Zellelementefeldes mit Funktionszellen zur Ausführung algebraischer und/oder logischer Funktionen und Informationsbereitstellungszellen, insbesondere Speicherzellen und/oder  
10 Ein-Ausgabezellen zum Empfangen und/oder Ausgeben von Informationen und/oder Speichern derselben, wobei zumindest eine der Funktionszellen Steuerbefehle an zumindest eine Informationsbereitstellungszelle ausgibt, dort im Ansprechen auf die  
15 Steuerbefehle Information für die Funktionszelle bereitgestellt wird und die Funktionszelle dazu ausgebildet ist, die weitere Datenverarbeitung im Ansprechen auf die bereitgestellte Information durchzuführen, um so zumindest zeitweise sequenzerartig Daten zu verarbeiten.

20

Es wird also in einem rekonfigurierbaren Feld durch die Ausgabe der Steuerbefehle an die Speicherzelle einer Sequenzerstruktur eine sequenzerartige Datenverarbeitung ermöglicht. Die Befehle, die als Steuerbefehle von der Funktionszelle  
25 ausgegeben werden können, ermöglichen dabei einen sequenzerartigen Betrieb, wie er aus herkömmlichen Prozessoren bekannt ist. Es sei darauf hingewiesen, dass es ohne weiteres möglich ist, nur Teile der oben genannten Befehle zu implementieren und dennoch eine vollständig sequenzerartige Datenverarbeitung  
30 zu gewährleisten.

Die Erfindung wird im folgenden und beispielsweise anhand der Zeichnungen beschrieben. In dieser ist gezeigt durch:

- Fig. 1 ein erfindungsgemäßes Zellelementefeld,
- 5 Fig. 2a ein Detail hiervon,
- Fig. 2b,c das Detail von Fig. 2a während verschiedener Datenverarbeitungszeiten,
- Fig. 3 eine alternative Ausführungsform des Details von Fig. 2,
- 10 Fig. 4 eine besonders bevorzugte Variante des Details,
- Fig. 5 ein Beispiel für die Funktionsfaltung auf eine Funktionszellen-Speicherzellen-Kombination der Erfindung,
- 15 Fig. 6a ein Beispiel einer sequenziell-parallelen Datenverarbeitung,
- Fig. 6b ein besonders bevorzugtes Ausführungsbeispiel der Erfindung,
- Fig. 7 eine Alternative zu einer Funktionsfaltungseinheit.
- 20

Nach Fig. 1 umfaßt ein allgemein mit 1 bezeichnetes Zellelementefeld zur Datenverarbeitung 1 Funktionszellmittel 2 zur Ausführung von arithmetischen und/oder logischen Funktionen  
 25 sowie Speicherzellmittel 3, um Informationen zu empfangen, abzuspeichern und/oder auszugeben, wobei eine Steuerverbindung 4 von Funktionszellen 2 zu den Speicherzellen 3 geführt ist.

30 Das Zellelementefeld 1 ist in der Vernetzung der Elemente 2, 3, 4 frei konfigurierbar, und zwar ohne den laufenden Betrieb nicht neu zu konfigurierender Zellelementeteile zu stören.



Dabei können die Verbindungen konfiguriert werden, indem Bussysteme 5 wie erforderlich geschaltet werden. Weiter sind die Funktionszellen 2 in ihrer jeweiligen Funktion konfigurierbar. Bei den Funktionszellen handelt es sich um arithmetische Logikeinheiten, die um bestimmte, Rekonfiguration ermöglichende Schaltkreise erweitert sind, wie Statemachines, Schnittstellenbeschaltung zur Kommunikation mit der externen Ladelogik 6 usw. Auf die entsprechenden Voranmeldungen des Anmelders wird hingewiesen.

10

Die Zellelemente 2, 3 des Zellelementefeldes 1 sind zweidimensional in Reihen und Spalten angeordnet, wobei jeweils eine Speicherzelle 3 unmittelbar neben einer Funktionszelle 2 liegt und hier je Reihe drei Speicherzellen-Funktionszellen-Paare vorliegen, in denen die Funktions- und Speicherzellen jeweils über Steuerverbindungen 4 miteinander verbunden sind. Die Funktions- und Speicherzellen 2, 3, bzw. die Kombination dieser, weisen Eingänge auf, die mit dem Bussystem oberhalb der Reihe, in der sich die jeweiligen Zellelemente befinden, verbindbar sind, um Daten davon zu empfangen. Weiter weisen die Zellen 2, 3 Ausgänge auf, die auf das Bussystem 5 unterhalb der Reihe Daten ausgeben. Wie noch erläutert werden wird, ist überdies jede Speicherzelle 3 mit einem Rückwärtsregister (BW) versehen, durch welches Daten von dem Bus unterhalb einer Reihe auf den Bus oberhalb der jeweiligen Reihe durchgeschleust werden können.

20

25

Das Speicherzellmittel 3 weist zugleich bevorzugt wenigstens 3 Speicherbereiche auf, nämlich einen sogenannten Datenbereich, einen Programmspeicherbereich und einen Stackbereich usw. Es kann allerdings in anderen Varianten der Erfindung ausreichend sein, lediglich zwei Bereiche vorzusehen, nämlich

30

einen Datenspeicher und einen Programmspeicherbereich, die jeweils Teil eines Speicherzellmittels bilden können. Es ist insbesondere möglich, nicht einfach eine Trennung eines per se homogenen und hardwareseitig identischen Speichers in unterschiedliche Bereiche vorzunehmen, sondern tatsächlich physikalisch bzw. hardwaretechnisch getrennte Speicherbereiche vorzusehen. Dabei kann insbesondere auch eine Anpassung der Speicherbreite und/oder Tiefe an jeweilige Erfordernisse vorgesehen werden. Bei Auslegung eines Speichers dergestalt, dass er im Betrieb einen Programmbereich und einen Datenbereich aufweist, wird es bevorzugt sein, diesen Speicher bzw. Speicherbereich für den gleichzeitigen Zugriff auf Daten- und Programmspeicherbereiche auszubilden, etwa als Dual-Port-Memory. Es kann auch möglich sein, eng angekoppelte Speicherbereiche, insbesondere innerhalb einer Speicherzellmittel-Funktionszellmittel-Kombination, die zu einem integrierten Bereich gebildet ist, als reinen Cache-Speicher vorzusehen, in den insbesondere Daten aus entfernteren Speicherplätzen für den schnellen Zugriff während der Datenverarbeitung vorbeladen werden.

Mit Ausnahme der Steuerverbindungen 4 und der zugeordneten Schaltungen innerhalb der Funktionszellen (ALU in Fig. 2) bzw. Speicherzellen (RAM in Fig. 2) handelt es sich bei dem Zellelementefeld zur Datenverarbeitung von Fig. 1 um ein herkömmliches Zellelementefeld, wie es bei rekonfigurierbaren Datenverarbeitungsanordnungen, beispielsweise einer VPU entsprechend der XPP-Technologie des Anmelders gebräuchlich und bekannt ist. Insbesondere kann das Zellelementefeld von Fig. 1 wie bekannt betrieben werden, weist also entsprechende Beschaltungen zur Wave-Rekonfiguration, zum Debugging, Übertragen von Triggersignalen etc. auf.

Erste Besonderheiten des Zellelementefeldes der vorliegenden Erfindung ergeben sich aus der Steuerverbindung 4 und der zugehörigen Beschaltung, die nachfolgend näher beschrieben werden wird mit Bezug auf die Fig. 2a-c. Es sei dabei erwähnt, dass während in Fig. 1 eine Steuerverbindung 4 stets von einem weiter links liegende Funktionszellenelement zu einer weiter rechts liegenden Speicherzelle geführt ist, und zwar nur und genau zu einer solchen Speicherzelle, es einleuchtenderweise möglich ist, auch für die Steuerleitungen eine konfigurierbare Vernetzung vorzusehen, um entweder an anderer Stelle liegende Speicherzellen anzusprechen und/oder um ggf. mehr als eine Speicherzelle ansprechen zu können, wenn etwa in großem Umfange Speicherbedarf für Informationen besteht, die von den Speicherzellen zu empfangen, abzuspeichern und/oder auszugeben ist. Aus Gründen der Übersichtlichkeit wird aber in Fig. 1 und 2 lediglich auf fest vorgesehene einzelne Steuerverbindungen Bezug genommen, was das Verständnis der Erfindung wesentlich erleichtert. Die Steuerverbindung ist im übrigen erforderlichenfalls durch herkömmliche Leitungen, entsprechende Protokolle vorausgesetzt, substituierbar.

In Fig. 2 ist die Funktionszelle 2 als ALU und die Funktionszelle 3 als RAM bezeichnet. Oberhalb der Reihe, in der die Zellen liegen, verläuft der Bus 5a, der das bereits erwähnte Backward-Register 3a mit den Eingängen 3b der Speicherzelle und 2b der ALU verbindet. Das unterhalb der Reihe verlaufende Bussystem ist mit 5b bezeichnet und es sind von dem Bussystem 5a, 5b nur die relevanten Segmente gezeichnet. Es ist erkennbar, dass das Bussystem 5b alternativ Daten erhält aus einem Ausgang 2c der ALU 2, einem Ausgang 3c des RAM 3 und dass es Daten in den Eingang 3a1 des Backward-Registers führt.

Die ALU 2 weist zugleich weitere Ein- und Ausgänge 2a1, 2a2 auf, die auf andere Bussegmente geschaltet sein können und über welche die ALU Daten wie Operanden empfängt bzw. Ergebnisse ausgibt.

5

Die Steuerverbindung 4 befindet sich dauerhaft unter der Kontrolle der erweiterten Schaltkreise der ALU und stellt hier eine Verbindung dar, über welche eine Vielzahl von Bits übertragen werden kann. Die Breite der Steuerverbindung 4 ist dabei so gewählt, dass zumindest die folgenden Steuerbefehle an die Speicherzelle übertragen werden können: DATA WRITE, DATA READ, ADRESSPOINTER WRITE, ADRESSPOINTER READ, PROGRAMMPOINTER WRITE, PROGRAMMPOINTER READ, PROGRAMMPOINTER INCREMENT, STACKPOINTER WRITE, STACKPOINTER READ, PUSH, POP. Die Speicherzelle 3 weist zugleich wenigstens drei Speicherbereiche auf, nämlich einen sog. Stack-Bereich, einen Heap-Bereich und einen Programm-Bereich. Jedem Bereich ist dabei ein eigener Zeiger zugeordnet, über den bestimmt ist, auf welchen Bereich des Stacks, des Heaps und des Programmbereiches jeweils lesend oder schreibend zugegriffen wird.

20

Der Bus 5a wird im Zeitmultiplex gemeinsam von den Einheiten 2 und 3 verwendet. Dies ist in den Fig. 2b, 2c angedeutet. So ist in Fig. 2b eine Situation gezeigt, in welcher aus dem Ausgang 2a2 der ALU-PAE Daten über das Backward-Register auf den Eingang der RAM-Zelle gesandt werden können, wohingegen der zeitgleich bestehenden, wenngleich nicht benutzten Verbindung zwischen dem Ausgang 3c des RAM zum Bus 5b und der Verbindung zwischen dem Ausgang des Backward-Registers BW zum Eingang 2b der ALU-PAE zum Zeitpunkt von Fig. 2b keine Bedeutung zukommt, weshalb diese gestrichelt angedeutet sind. In Fig. 2c ist hingegen ein Zeitpunkt gezeigt, zu welchem die

25

30

Speicherzelle 3 über ihren Ausgang 3c aus dem über Steuerleitung 4 bestimmten Speicherbereich Stack, Heap oder Program die Information über das Backward-Register an den Eingang 2b der ALU-PAE 2 speist, während der Ausgang der ALU-PAE 2c inaktiv ist und am Eingang 3b der RAM-PAE kein Signal empfangen wird. Aus diesem Grund sind die entsprechenden Verbindungen strichpunktiert und somit als inaktiv dargestellt.

Innerhalb der RAM-Zelle 3 ist eine Schaltung 3d vorgesehen, in der die über die Steuerleitung 4 bzw. das Steuerleitungsbussegment 4 empfangene Information decodiert wird.

Die Erfindung wird verwendet wie folgt:

Zunächst empfängt die ALU 2 Konfigurationsinformation von einer zentralen Ladelogik, wie im Stand der Technik bereits bekannt. Die Informationsübertragung kann in per se bekannter Weise unter Verwendung des RDY/ACK-Protokolls und dergleichen geschehen. Auf die Möglichkeit, bei der Ladelogik einen FILMO-Speicher usw. vorzusehen, um eine ordnungsgemäße Konfiguration der Anordnung zu ermöglichen, wird hingewiesen.

Mit den Daten für die Konfiguration der ALU 2 wird zugleich eine Reihe von Daten aus der Ladelogik übertragen, die ein sequenzerartig abzuarbeitendes Programm bzw. Programmteil darstellt. Verwiesen wird hierzu nur beispielhaft auf Fig. 6a, bei welcher die HUFFMANN-Codierung als zentraler sequenzieller Teil einer per se datenflussartig erfolgenden MPEG4-Codierung dargestellt ist. Die ALU gibt deshalb während ihrer Konfiguration auf der Leitung 4 einen entsprechenden Befehl aus, der den Programmzeiger zum Schreiben auf einen vorgegebenen Wert innerhalb des RAM setzt. Danach werden von der

Ladelogik bei der ALU empfangene Daten über den Ausgang 2c über den Bus 5b1 und das Backward-Register 3a gespeist und gelangen von dort in den Eingang 3b der RAM-PAE 3. Von der Einheit 3d werden entsprechend des Steuerbefehls auf Steuerleitung 4 dann Daten auf den angewiesenen Programmspeicherplatz geschrieben. Dies wiederholt sich, bis sämtliche, von der Ladelogik bei der Konfiguration empfangenen Programmteile in der Speicherzelle 3 abgelegt sind. Wenn dann die Konfiguration der ALU beendet ist, wird diese durch Ausgabe der entsprechenden Befehle auf der Steuerleitung 4 die nächsten, von ihr sequenzerartig abzuarbeitenden Programmschritte anfordern und über den Ausgang 3c, den Bus 5b, das Backward-Register der RAM-PAE 3 und den Bus 5a an ihrem Eingang empfangen. Während der Programmabarbeitung können dabei Situationen auftreten, bei denen Sprünge innerhalb des Programmspeicherbereiches erforderlich sind, Daten in die ALU-PAE aus der RAM-PAE geladen werden, Daten im Stack abgelegt werden müssen usw. Die diesbezügliche Kommunikation zwischen ALU-PAE und RAM-PAE erfolgt über die Steuerleitung 4, so dass die ALU-PAE zu jedem Zeitpunkt die Dekodierung durchführen kann. Überdies können auch, wie bei einem herkömmlichen Mikroprozessor, Daten aus einem Stack oder einem anderen RAM-Speicherbereich empfangen werden und es können überdies Daten von außerhalb als Operanden in der ALU-PAE empfangen werden.

25

Es findet dabei die Abarbeitung der Programmsequenz statt, die in den RAM-PAE durch die Ladelogik vorkonfiguriert wurde. In der ALU-PAE wird dabei zugleich, wie per se erforderlich, eine Befehlsdekodierung vorgenommen. Dies geschieht mit den per se gleichen Schaltkreisen, die schon für die Dekodierung der von der Ladelogik erhaltenen Befehle verwendet werden.

30

Es wird über die ALU zu jedem Zeitpunkt die Steuerleitung 4 kontrolliert, dass die RAM-Zelle stets genau die Art des Speicherzugriffes befolgt, die von der ALU vorgegeben ist. Auf diese Weise ist sichergestellt, dass ungeachtet der Zeit-  
5 multiplex-Benutzung der Buselemente 5a, b jederzeit den in der Sequenzerstruktur vorhandenen Elementen vorgegeben ist, ob auf den Bussen Adressen für zu holende und/oder zu schreibende Daten oder Codes liegen oder ob und gegebenenfalls wohin Daten zu schreiben sind etc.

10

Die in Bezug auf Fig. 2 gezeigte Anordnung kann auf unterschiedliche Arten erweitert oder verändert werden. Besonders relevant sind die in Fig. 3, 4 und 6 dargestellten Varianten.

15 Nach Fig. 3 ist zur Verbindung von oberen und unteren Bussen nicht nur ein Backward-Register an der RAM-PAE vorgesehen, sondern es sind auch ein Vorwärts-Register an der RAM-PAE und Vorwärts- und Rückwärts-Register an der ALU-PAE vorhanden. Diese können, wie durch die Mehrfach-Pfeile angedeutet, dazu  
20 dienen, von anderen Einheiten, wie externen Hosts, externen Peripherie-Geräten wie Festplatten, Hauptspeicher und dergleichen und/oder von anderen Sequenzerstrukturen, PAEs, RAM-PAEs etc. Daten zu empfangen und an diese zu senden. Wenn ein  
25 entsprechender Anforderungsbefehl für neue Programmteile aus der Sequenzerstruktur, die durch die ALU-PAE und die RAM-PAE gebildet ist, abgesandt wird, ist es möglich, Programmblöcke in der Sequenzerstruktur abzuarbeiten, die weit größer sind als jene, die in der RAM-PAE speicherbar sind. Dies ist insbesondere bei komplexen Datenverarbeitungsaufgaben, Sprüngen  
30 über weite Bereiche, insbesondere in Unterprogramme usw. von massivem Vorteil.

Eine noch weiter bevorzugte Variante ist in Fig. 4 gezeigt. Hier kommuniziert die ALU-PAE nicht nur mit einer RAM-PAE, sondern zugleich mit einer Input/Output-PAE, die dazu ausgebildet ist, eine Schnittstellenbeschaltung für die Kommunikation mit externen Bauelementen vorzusehen, wie Festplatten, anderen XPP-VPUs, fremden Prozessoren und Coprozessoren usw. Wiederum ist die ALU-PAE die Einheit, die als Master für die als „CMD“ bezeichnete Steuerverbindung arbeitet und wiederum werden die Busse in Multiplex-Weise verwendet. Auch hier kann eine Übertragung von Daten von dem Bus unterhalb der Reihe in den Bus oberhalb der Reihe durch das Backward-Register erfolgen.

Die in Fig. 4 gezeigte Anordnung ermöglicht es, externe Zugriffe auf nicht in der Speicherzelle RAM-PAE abspeicherbare Informationen besonders leicht zu gestalten und ermöglicht damit eine Anpassung der Sequenzerstruktur an bestehende, herkömmliche CPU-Technologien und deren Betriebsverfahren in noch stärkerem Maße insoweit, als nun in der Eingabe-Ausgabezeile Adressübersetzungsmittel, Speicherverwaltungseinheiten (MMU-Funktionen) und dergleichen implementiert sein können. Die RAM-PAE kann hier etwa als Cache, insbesondere aber als vorgeladener Cache dienen.

Es sei darauf hingewiesen, dass mehrere Sequenzerstrukturen gleichzeitig in ein und dasselbe Feld hineinkonfiguriert werden können, dass Funktionszellen, Speicherzellen und ggf. Ein-Ausgabezellen wahlweise für Sequenzerstrukturen und/oder eine für die XPP-Technologie herkömmliche Weise konfiguriert werden können und dass es ohne weiteres möglich ist, dass eine ALU an eine andere ALU Daten ausgibt, die diese in einer Sequenzer-Weise konfigurieren und/oder zum Teil eines Zellen-



mentefeldes machen, mit dem eine bestimmte Konfiguration abgearbeitet wird. Auf diese Weise wird dann gegebenenfalls auch die Ladelogik entbehrlich.

- 5 Nach Fig. 6 sind zwei Ausführungsformen der Erfindung in ein und demselben Zellelementefeld vereinigt, nämlich an den Rändern aus jeweils zwei PAEs, nämlich je einer RAM- und einer ALU-PAE gebildete Sequenzer, und im Inneren mit integrierten RAM-ALU-PAEs als integrierten Funktionszellen-Speicherzellen-
- 10 einheiten gebildete Sequenzer, wobei es möglich ist, nur einen Teil der feldinneren Zellen als Kombinationszellen zu bilden.

- Fig. 5 zeigt rechts (Fig. 5c) eine Funktionszell-Speicher-
- 15 zellmittel-Kombination.

- Gemäß Fig. 5c umfasst eine allgemein mit 50 bezeichnete Funktionszell-Speicherzellmittel-Kombination Busverbindungen bzw. -eingänge 51 für den Eingang von Operanden- und Konfigurations-
- 20 onsdaten sowie hier wie insbesondere bevorzugt möglich auch Triggersignale (nicht gezeigt) und dergleichen und einen Busausgang 52 für die Ausgabe entsprechender Daten bzw. Signale. Innerhalb der Funktionszellmittel-Speicherzellmittel-Kombination ist eine ALU 53 vorgesehen, sowie Eingangsregister Ri0 bis Ri3 für Operandendaten und Triggersignal-Ein-
- 25 gangsregister (nicht gezeigt). Die Konfigurationsdatenregister Rc0 bis Rc7 für Konfigurationsdaten bzw. ALU-Opcode-Daten, Resultatdatenregister Rd0'-R3' und Ausgangsregister Ro0 bis Ro3 für Resultate bzw. auszugebende Triggersignale.
- 30 Die Register Rc und Rd für die Konfigurationsdaten bzw. Opcode-Daten werden von der ALU 53 über Steuerbefehlsleitungen 4 angesteuert und speisen über geeignete Datenleitungen Daten

in die ALU bzw. empfangen aus dieser Resultatdaten. Es ist weiter möglich, vom Bus 51 bzw. den Eingangsregistern Ri Information direkt auf die Ausgangsregister bzw. den Bus 52 zu speisen, genau so wie aus den Datenregistern Rd0 Informationen nicht nur an die ALU, sondern auch an die Ausgangsregister gespeist werden können. Erforderlichenfalls können Verbindungen zwischen den Speicherbereichen Rd und Rc vorgesehen werden, etwa zur Realisierung der Möglichkeit selbstmodifizierenden Codes.

10

Der Konfigurationsdatenbereich Rc0 bis Rc7 weist eine Steuerung auf, die es erlaubt, auf Teilen des Bereiches zu arbeiten, und zwar insbesondere wiederholt zyklisch und/oder durch Sprünge. Dies erlaubt es, beispielsweise in einer ersten Teilkonfiguration Befehle, die in Rc0 bis Rc3 liegen, wiederholt abzuarbeiten und, alternativ, etwa auf Eingang eines entsprechenden anderen Triggersignales über die Busleitung 51, Konfigurationsbefehle abzuarbeiten, die in Rc4 bis Rc7 liegen. Damit ist eine Ausführbarkeit einer Wave-Konfiguration gewährleistet. Es sei darauf hingewiesen, dass die abgelegten Konfigurationsbefehle typisch lediglich Anweisungen an die ALU darstellen, nicht jedoch vollständige Busverbindungen usw. definieren.

20

25 Die in Fig. 5 dargestellte, vorbeschriebene Einheit ist hier dazu ausgebildet, mit dem vierfachen Takt betrieben zu werden, wie eine normale PAE ohne Speicherzellmittel und/oder Steuersignalleitungen 4.

30

Um auf der so gebildeten Funktionsfaltungseinheit (function-folding-unit) sequenzerartig Daten in einem Datenfluss abzuarbeiten, werden zu vorgegebenen Algorithmen zunächst Daten-

flussgraphen bzw. -bereiche gemäß Fig. 5a erstellt. Dann werden jeder in dem Graph abzuarbeitenden Operation Speicherbereiche Rc0 zugewiesen, die in den Graph-Teilbereich einströmenden Daten internen Eingangsregistern Ri0 zugewiesen, die  
5 Zwischenresultate den Speichern Rd0 bis Rd3 zugewiesen und die Ausgabeergebnisse den Registern Ro. Mit dieser Zuweisung wird der Graphbereich auf der Function-Folding-Unit abarbeitbar. Es erfolgt quasi eine Datenfluss-Sequenz-Transformation durch diese Hardware.

10

Es sei in diesem Zusammenhang erwähnt, daß es ganz allgemein bevorzugt sein wird, die Anordnung der vorliegenden Erfindung dergestalt zu verwenden, daß zunächst für ein Datenverarbeitungsprogramm mit einem Compiler ein Datenfluß- und ein Kontrollflußgraph erstellt wird, um dann eine entsprechende Partitionierung vorzunehmen, wobei die durch die Partitionierung erhaltenen Stücke dann ganz oder teilweise zur Abarbeitung auf Sequenz-Einheiten, wie sie z.B. gemäß der vorliegenden Erfindung gebildet sein können, abgearbeitet werden können.

20

Auf diese Weise wird quasi eine datenflußartige Datenverarbeitung bei Fortschreiten von einer Zelle zur nächsten erzielt, aber innerhalb der Zelle(n) eine sequentielle Abarbeitung bewirkt. Dies ist vorteilhaft, wenn aufgrund der sehr

25

hohen Rechenleistung einer Anordnung die Taktfrequenz erhöht werden soll, um im Gegenzug die Fläche bzw. Anzahl der Zellen reduzieren zu können. Es sei hierbei auch erwähnt, daß es möglich ist, diesen transformationsartigen Übergang von einer rein datenflußartigen Daten-Verarbeitung zu einer Datenflußverarbeitung mit lokalsequentiellen Teilen dergestalt  
30 vorzunehmen, daß ein iterativer Prozeß durchlaufen wird, etwa dergestalt, daß zunächst eine erste Partitionierung vorgenommen wird und dann, sollte bei dem nachfolgen-

den „Zusammenrollen“ der partitionierten Teile auf Sequen-  
zereinheiten festgestellt werden, daß zB die auf den Sequen-  
cern oder sonstigen Stellen verfügbaren Ressourcen nicht aus-  
reichen, eine andere, dies berücksichtigende Partitionierung  
5 und ein neuerliches „Zusammenrollen“ vorzunehmen. Bei ge-  
wünscht intensiver Nutzung der Function-Folding-Units kann  
die Registeranzahl gegebenenfalls erhöht werden.

Es sei auch darauf hingewiesen, dass vorliegend die Register  
10 als Speicherzellmittel oder Teile derselben aufgefasst wer-  
den. Es ist einsichtig, dass durch Vergrößerung der Speicher-  
zellbereiche komplexere Aufgaben insbesondere auch sequenzer-  
artig angeordnet werden können, dass aber mit den angegebenen  
geringen Größen schon wesentliche Teile wichtiger Algorithmen  
15 abgearbeitet werden können und zwar mit hoher Effizienz.

Im vorliegenden Beispiel werden die Funktionsfaltungseinhei-  
ten bevorzugt so gebildet, dass Daten durch diese hindurch  
geschaltet werden können, ohne in der ALU verarbeitet zu wer-  
den. Dies kann ausgenutzt werden, um ein Pfadbalaencing zu er-  
reichen, bei dem etwa Datenpakete über unterschiedliche Zweie-  
ge verarbeitet und dann (wieder) zusammengeführt werden müs-  
sen, ohne dass Forward-Register, wie sie aus der Architektur  
des Anmelders bekannt sind, eingesetzt werden müssen. Zu-  
25 gleich und/oder alternativ ist es möglich, die Datenfluss-  
richtung im Zellelementefeld durch entsprechende Ausrichtung  
von einigen Funktionszellmitteln, Speicherzellmitteln, Funk-  
tionsfaltungseinheiten nicht streng in eine Richtung laufen  
zu lassen, sondern in zwei entgegengesetzte Richtungen. So  
30 erhalten z. B. in jeder geraden Reihe die ALUs ihre Eingangs-  
operanden von der linken Seite her und in jeder ungeraden  
Reihe erhalten die ALUs ihre Eingangsoperanden von rechts.

- Wenn Daten mehrfach durch das Feld gesandt werden müssen, ist eine solche Anordnung vorteilhaft, etwa bei ausgewalzten Schleifenkörpern usw. Die alternierende Anordnung muss dabei auch nicht streng sein. Für bestimmte Anwendungen können andere Geometrien gewählt werden. So könnte in der Feldmitte eine andere Laufrichtung als an den Rändern gewählt werden usw. Die Anordnung von Funktionszelleneinheiten gleicher Laufrichtung nebeneinander kann bezüglich der Busverbindungen vorteilhaft sein. Es sei darauf hingewiesen, dass die gegenläufige Anordnung von mehreren gerichteten Funktionszellen in einem Feld und die sich damit ergebende verbesserte Datenverarbeitung unabhängig vom Vorsehen einer Steuerleitung oder dergleichen als erfinderisch betrachtet wird.
- 15 Eine Alternative zu der in Fig. 5 gezeigten Funktionsfaltungseinheit ist in Fig. 7 gezeigt.

Patentansprüche

1. Zellelementefeld zur Datenverarbeitung mit Funktionszell-  
5 mitteln zur Ausführung algebraischer und/oder logischer  
Funktionen und Speicherzellmitteln, um Information zu  
empfangen, abzuspeichern und/oder auszugeben, dadurch ge-  
kennzeichnet, dass Funktionszellen-Speicherzellen-Kombi-  
nationen gebildet sind, bei denen von den Funktionszell-  
10 mitteln eine Steuerverbindung zu den Speicherzellmitteln  
geführt ist.
2. Zellelementefeld nach dem vorhergehenden Anspruch, dadurch  
gekennzeichnet, dass ein Prozessor, Coprozessor und/oder  
15 Microcontroller mit einer Vielzahl in Funktion und/oder  
Vernetzung rekonfigurierbarer und/oder vorgebbarer Ein-  
heiten wie Funktionszellen und/oder Speicherzellen bil-  
det.
- 20 3. Zellelementefeld nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass die Funktionszellen als  
arithmetische Logikeinheiten gebildet sind.
4. Zellelementefeld nach dem vorhergehenden Anspruch, dadurch  
25 gekennzeichnet, dass die arithmetischen Logikeinheiten  
als erweiterte ALUs gebildet sind.
5. Zellelementefeld nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass die Speicherzellen zur  
30 flüchtigen und/oder nicht flüchtigen Datenspeicherung  
ausgebildet sind.

6. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Speicherzellen zur Abspeicherung von zu verarbeitenden Daten und/oder von zu verarbeitenden Programmschritten ausgebildet sind.
- 5
7. Zellelementefeld zur Datenverarbeitung, dadurch gekennzeichnet, dass die Speicherzellen dazu ausgebildet sind, abgespeicherte Informationen auf Ansteuerung der sie steuernden Funktionszelle direkt und/oder indirekt auf
- 10 einen zur Funktionszelle führenden Bus zu geben.
8. Zellelementefeld nach einem der vorhergehenden Ansprüche, worin zumindest einer Speicherzelle und/oder Funktionszelle Register zugeordnet sind, insbesondere ein Back-
- 15 ward-Register, welches im Informationsweg zwischen Speicherzelle und Funktionszelle angeordnet ist.
9. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Speicherzelle dazu ange-
- 20 ordnet ist, Informationen von der sie steuernden Funktionszelle, einer Eingabe-Ausgabe-Zelle und/oder einer sie nicht steuernden Zelle mit arithmetischer Logikeinheit zu empfangen.
- 25 10. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Funktionszellen-Speicherzellen-Kombination zumindest ein Ein-Ausgabe-Mittel zugeordnet ist, um Informationen an eine externe Einheit und/oder eine andere Funktionszelle, Funktions-
- 30 zellen-Speicherzellen-Kombination und/oder Speicherzelle zu senden und/oder von dieser zu empfangen.

11. Zellelementefeld nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, dass das Ein-Ausgabe-Mittel gleichfalls zum Empfang von Steuerbefehlen aus der Funktionszelle ausgebildet ist.

5

12. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Steuerung dazu ausgebildet ist, zumindest einige, bevorzugt alle der nachfolgenden Befehle zu übertragen und/oder die Speicherzelle bzw. Eingabe/Ausgabe-Zelle dazu ausgebildet ist, die folgenden Befehle zu dekodieren: DATA WRITE/READ, ADRESSPOINTER WRITE/READ, PROGRAMMPOINTER WRITE/READ, PROGRAMMPOINTER INCREMENT, STACKPOINTER WRITE/READ, vorgenannte Befehle jeweils insbesondere für internen und/oder externen Zugriff, PUSH, POP, OP CODE, FETCH.

10

15

13. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Funktionszelle als alleiniger Master auf die Steuerverbindung und/oder das als Steuerungsverbindung dienende Bussegment zugreifen kann.

20

14. Zellelementefeld zur Datenverarbeitung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Funktionszelle zumindest einer von Speicherzelle und Ein-Ausgabe-Zelle benachbart angeordnet ist.

25

15. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Zellelemente multidimensional angeordnet sind, insbesondere matrixartig, wobei die Funktionszelle und/oder die benachbarte Speicher- bzw. Ein-Ausgabe-Zelle aus einer oberen Reihe Daten empfangen und in eine untere Reihe Daten ausgeben kann, wo-

30



bei in einer Reihe Busse vorgesehen sind und die Funktionszelle und zumindest eine Speicher- und/oder Ein-Ausgabezelle in ein und derselben Reihe liegen.

- 5 16. Verfahren zum Betrieb eines Zellelementefeldes, insbesondere multidimensionalen Zellelementefeldes mit Funktionszellen zur Ausführung algebraischer und/oder logischer Funktionen und Informationsbereitstellungszellen, insbesondere Speicherzellen und/oder Ein-Ausgabezellen zum
- 10 Empfangen und/oder Ausgeben von Informationen und/oder Speichern derselben, dadurch gekennzeichnet, dass zumindest eine der Funktionszellen Steuerbefehle an zumindest eine Informationsbereitstellungszelle ausgibt, dort im Ansprechen auf die Steuerbefehlinformation für die Funktionszelle verarbeitet wird und die Funktionszelle dazu
- 15 ausgebildet ist, eine weitere Datenverarbeitung im Ansprechen auf aus der Informationsbereitstellungszelle bereitgestellte Information durchzuführen, um so sequenzerartig Daten zu verarbeiten.
- 20
17. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Funktionszelle dazu ausgebildet ist, zumindest einige der Steuerbefehle
- 25 OPCODE FETCH,  
DATA WRITE INTERN,  
DATA WRITE EXTERN,  
DATA READ INTERN,  
DATA READ EXTERN,  
ADRESSPOINTER WRITE INTERN,  
30 ADRESSPOINTER WRITE EXTERN,  
ADRESSPOINTER READ INTERN,  
ADRESSPOINTER READ EXTERN,

PROGRAMMPOINTER WRITE INTERN,  
PROGRAMMPOINTER WRITE EXTERN,  
PROGRAMMPOINTER READ INTERN,  
PROGRAMMPOINTER READ EXTERN,  
5 STACKPOINTER WRITE INTERN,  
STACKPOINTER WRITE EXTERN,  
STACKPOINTER READ INTERN,  
STACKPOINTER READ EXTERN,  
PUSH,  
10 POP,  
PROGRAMMPOINTER INCREMENT

ausgibt und im Laufe des Zellelementbetriebs zumindest einige, insbesondere alle der oben genannten Steuerbefehle wie erforderlich ausgibt.

15

## Zusammenfassung

Die Erfindung betrifft ein Zellelementefeld zur Datenverarbeitung mit Funktionszellmitteln zur Ausführung algebraischer und/oder logischer Funktionen und Speicherzellmitteln, um Information zu empfangen, abzuspeichern und/oder auszugeben. Hierbei ist vorgesehen, dass Funktionszellen-Speicherzellen-Kombinationen gebildet sind, bei denen von den Funktionszellmitteln eine Steuerverbindung zu den Speicherzellmitteln geführt ist.

(Fig. 1)

15

-----